|  |  |
| --- | --- |
| **Analogowe Układy Peryferyjne  w Systemach Cyfrowych** | Maciej Jeleń  Michał Magoła  Marcin Rogowski  WIEiT  Elektronika i Telekomunikacja  Studia II stopnia  3.02.2017r. |
| **Raport z projektu modułu przetwornika ADC opartego na układzie AD9235-40** |

# Opis projektu

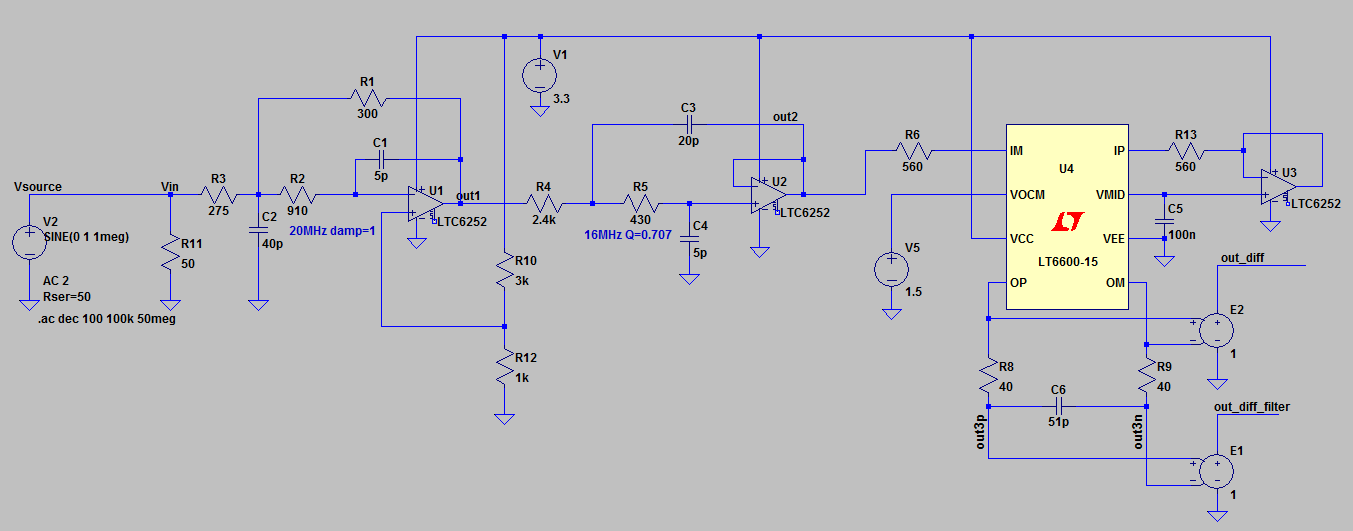
Zadanie polegało na zaprojektowaniu i wykonaniu modułu przetwornika ADC spełniającego następujące kryteria:

* poziom napięcia wejściowego +/- 1 V
* częstotliwość zegara 40 MHz
* pasmo przenoszenia 15 MHz
* typ wejścia niesymetryczne 50 Ω, gniazdo SMA
* wyjście cyfrowe równoległe, LVCMOS (3,3 V)
* zasilanie +/- 5 V

# Realizacja

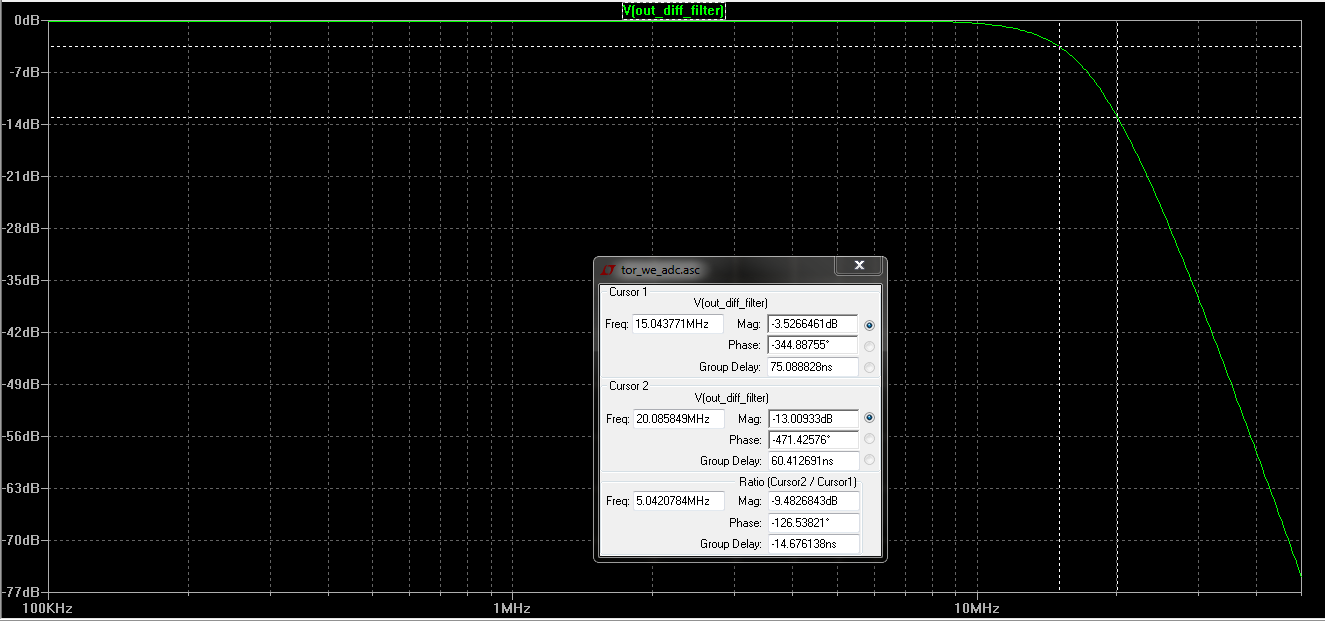
## Symulacje

Przed rozpoczęciem prac nad płytką należało opracować schemat ideowy układu kondycjonującego dla przetwornika różnicowego. Zaproponowano układ oparty o topologię Multiple Feedback oraz Sallen-Key, oba w wersji filtru dolnoprzepustowego. Dodatkowo zastosowano scalony filtr LT6600-15. Rys 1 przedstawia schemat ideowy toru kondycjonującego używany w symulacjach.



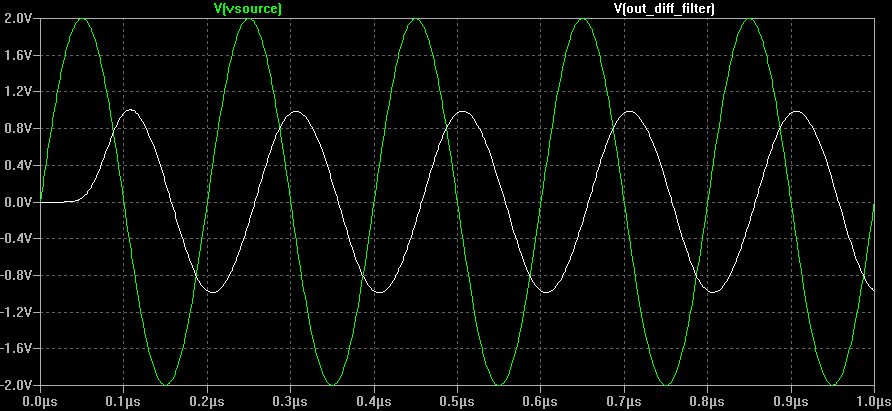
Rys 1 Schemat układu kondycjonującego użytego w symulacji

Wyniki symulacji były akceptowalne. 3 dB częstotliwość graniczna układu wyniosła około 14,6 MHz. Dla 15 MHz amplituda spadła do poziomu około -3,5 dB, a dla 20 MHz do poziomu około -13 dB. Wyniki zostały przedstawione na Rys 2



Rys 2 Wyniki symulacji toru kondycjonującego

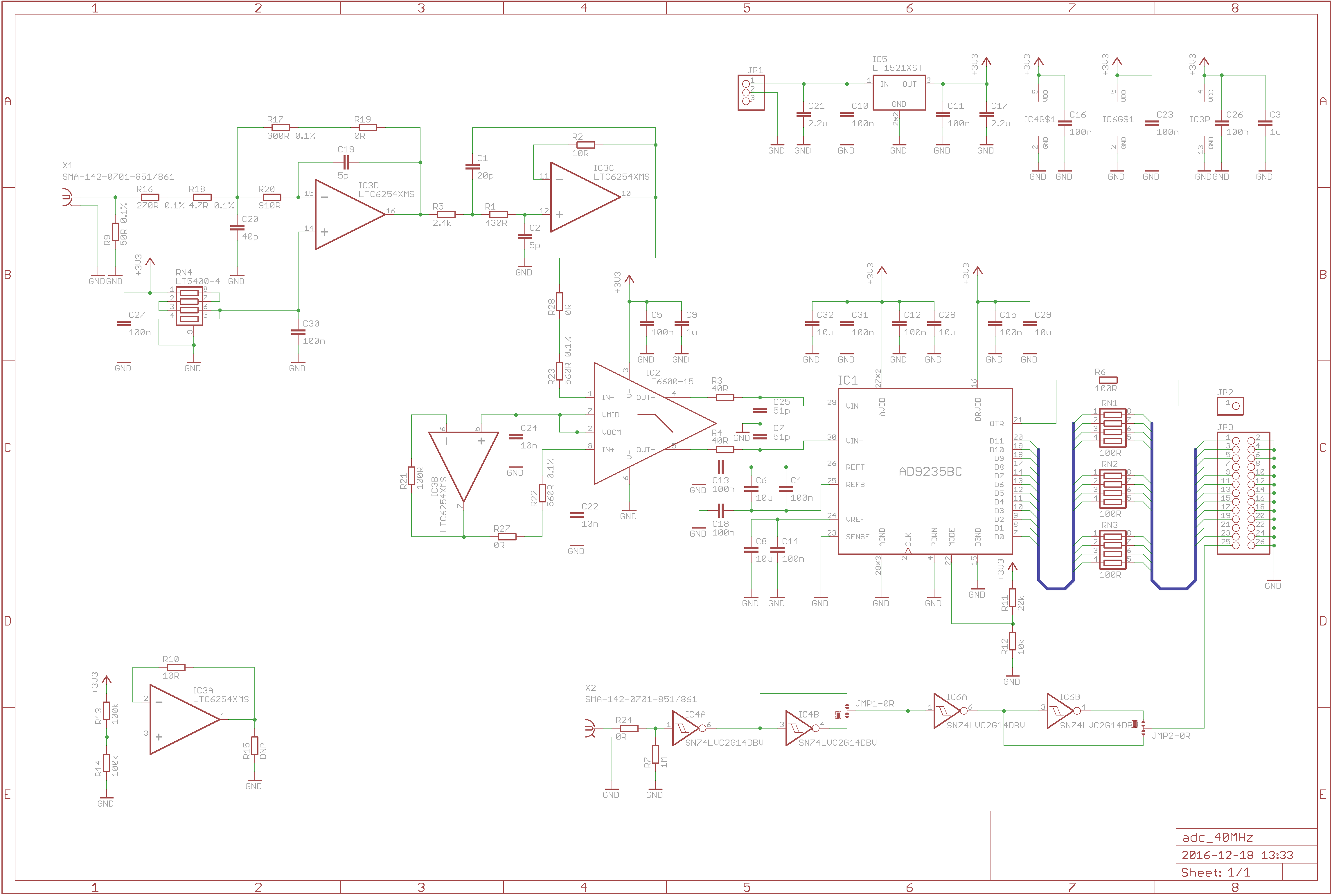
Przeprowadzono także analizę transient, aby sprawdzić ewentualne problemy z kształtem sygnału wyjściowego oraz offset.



Rys Wyniki analizy stanów przejściowych – sygnał testowy 5 MHz

## Schemat ideowy

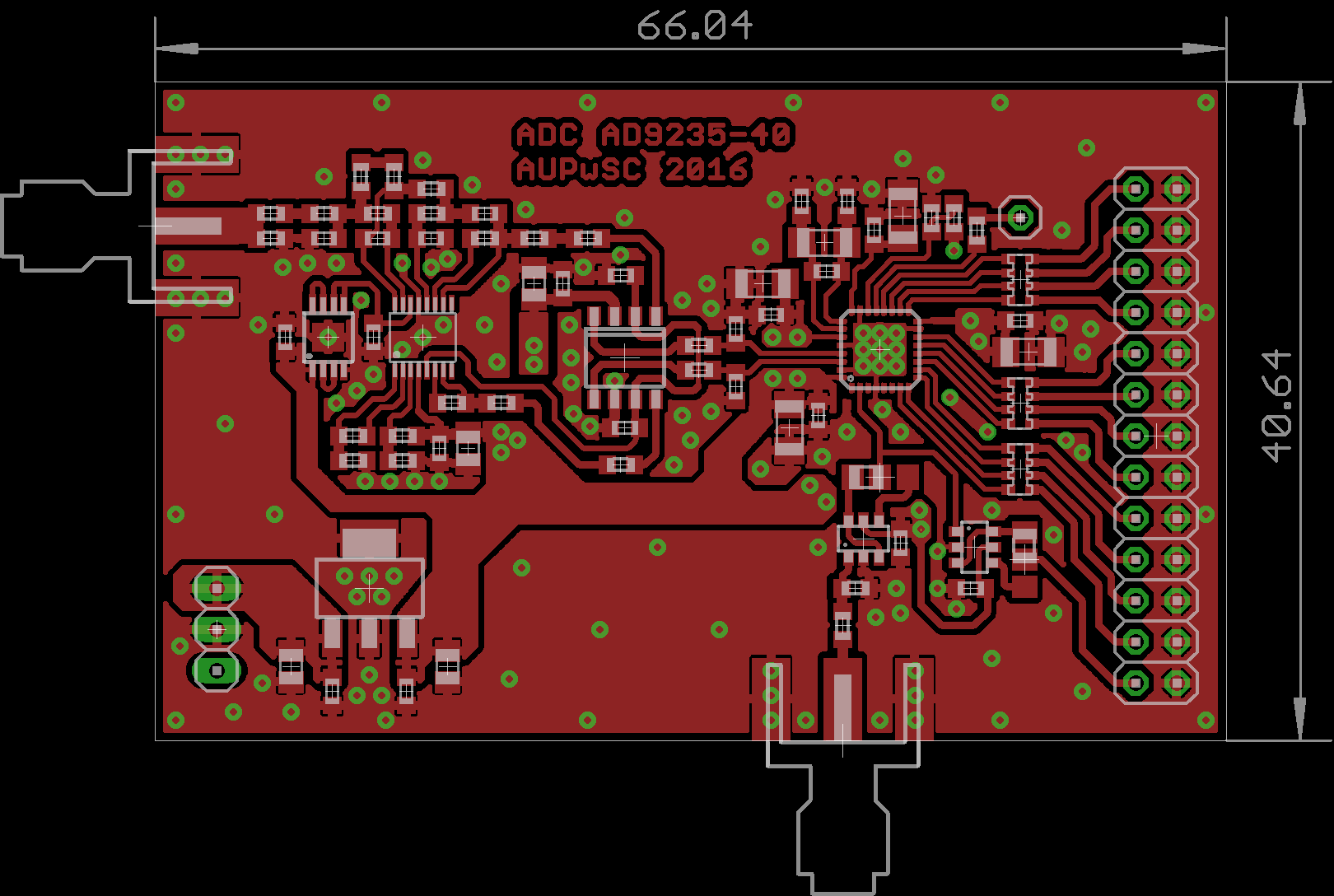
Przetwarzanie ADC realizowane jest przez układ AD9235BCPZ-40. Na schemat naniesiono niezbędne elementy tj. kondensatory odsprzęgające na liniach zasilających oraz wyjściach źródeł referencyjnych, dzielniki wyboru trybu pracy przetwornika. Dodatkowo zastosowano układ inwerterów 74LVC2G14 na linii zegarowej w celu ewentualnego dopasowania zboczy sygnału zegarowego i linii danych dla przetwornika DAC. Wszystkie układy są zasilanie napięciem 3,3 V, którego źródłem jest stabilizator LT1521-3.3. Schemat ideowy przedstawiono na Rys 4



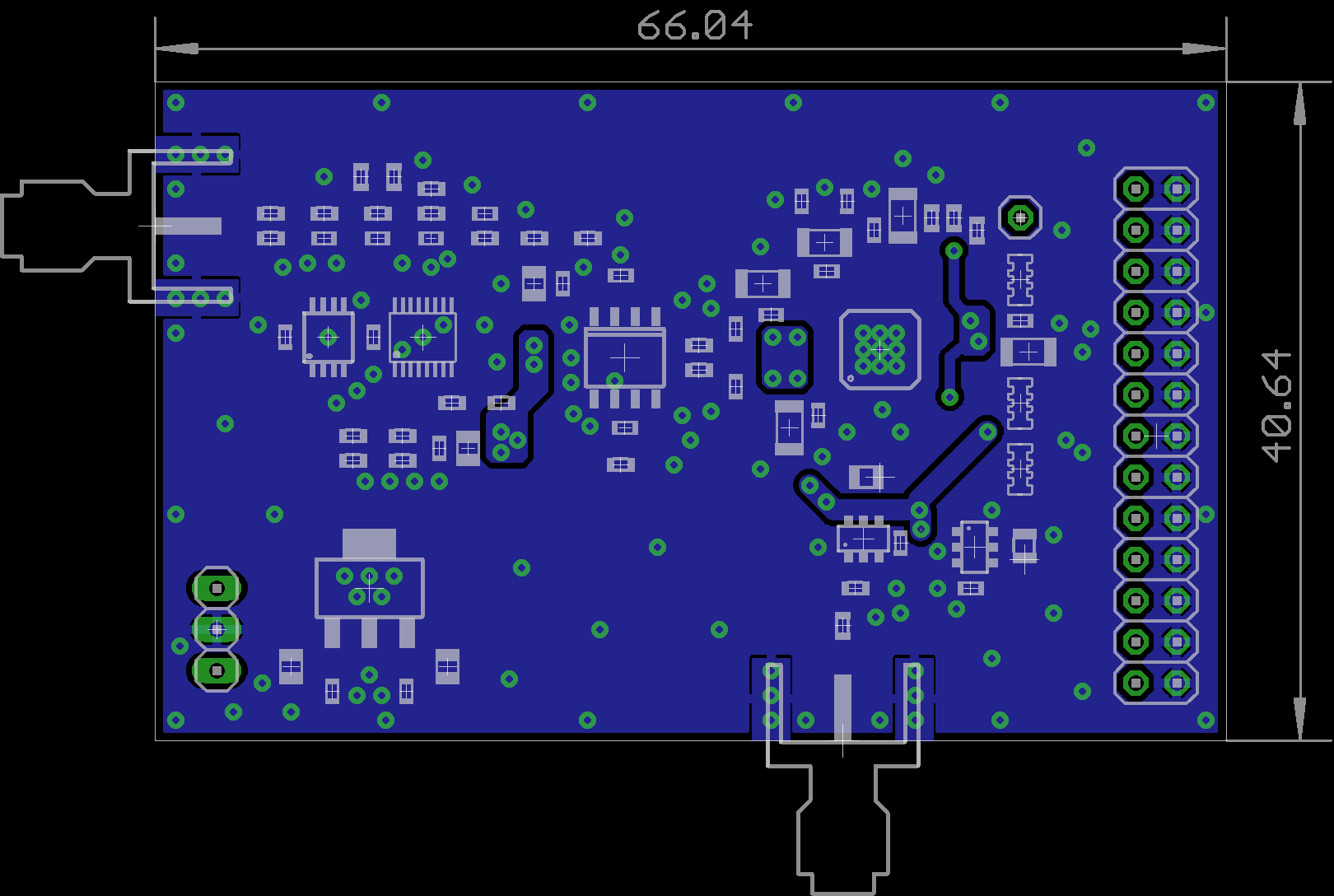
Rys 4 Schemat ideowy modułu przetwornika

## Layout PCB

Moduł przetwornika zrealizowano na laminacie dwustronnym FR4. Układ ścieżek prezentuje Rys 5 oraz Rys 6



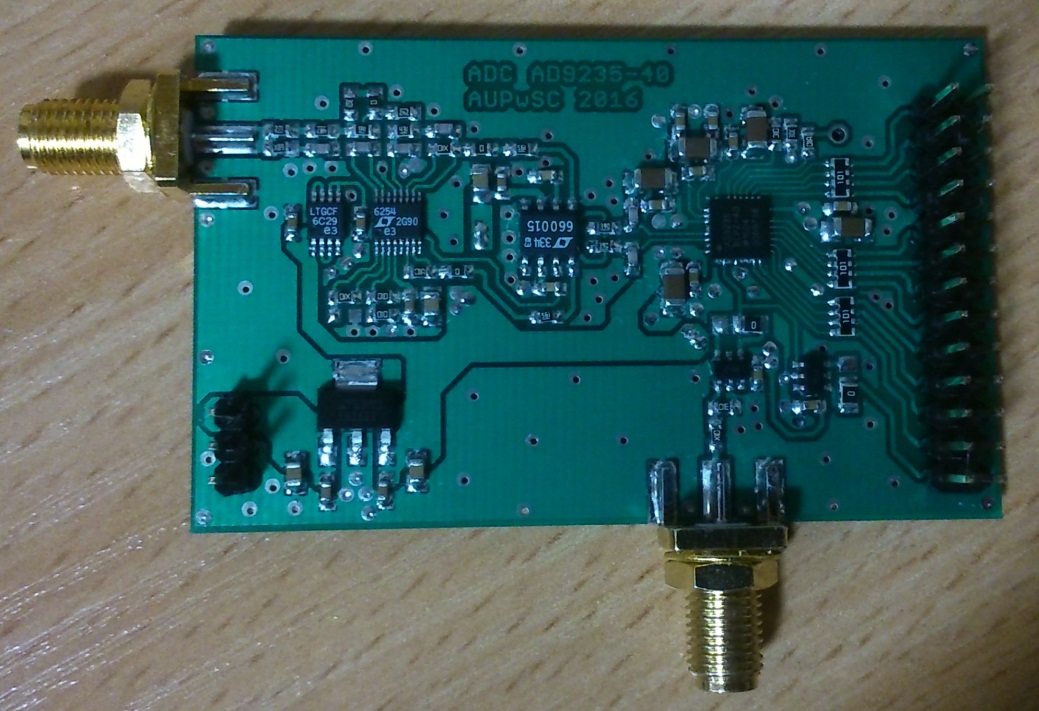
Rys 5 Układ ścieżek – warstwa Top



Rys 6 Układ ścieżek – warstwa Bottom

## Zmontowany układ

Na Rys 7 przedstawione zostało zdjęcie zrealizowanego układu przetwornika



Rys Zdjęcie modułu przetwornika ADC

# Pomiary

Przetestowanie działania zaprojektowanego i zmontowanego układu polegało na podłączeniu go do toru przetwarzania ADC – DAC i sprawdzeniu kształtu sygnału wyjściowego dla różnych częstotliwości wejściowych. Schemat blokowy układu przedstawiono na Rys 8. Grubszą linią oznaczono połączenia sygnałowe realizowane kablem koncentrycznym.

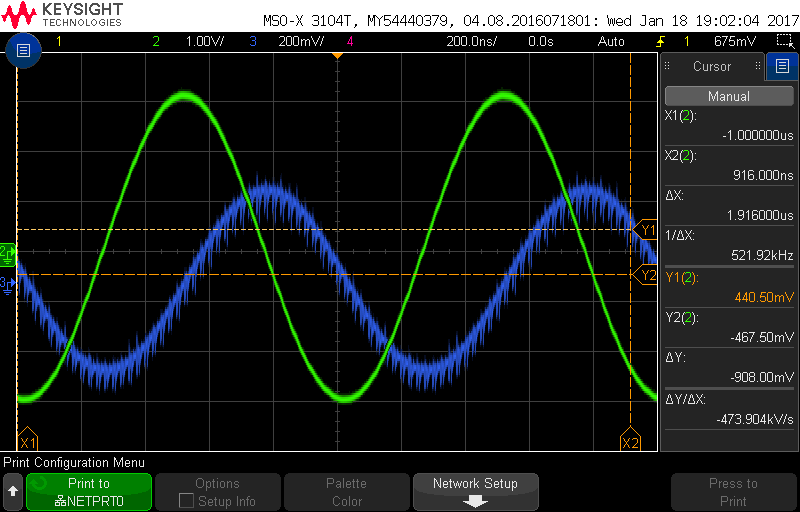
|  |
| --- |
| Oscyloskop Keysight MSOX3104T CH1 CH2 CH3  Generator Rigol DG4162 CH1 CH2  Synchronizacja  Sig IN  CLK  Sig OUT  Płytka z przetwornikiem DAC  Badana płytka  z przetwornikiem ADC AD9235-40  Vcc  Vcc  Zasilacz Korad |

Rys Schemat blokowy toru pomiarowego

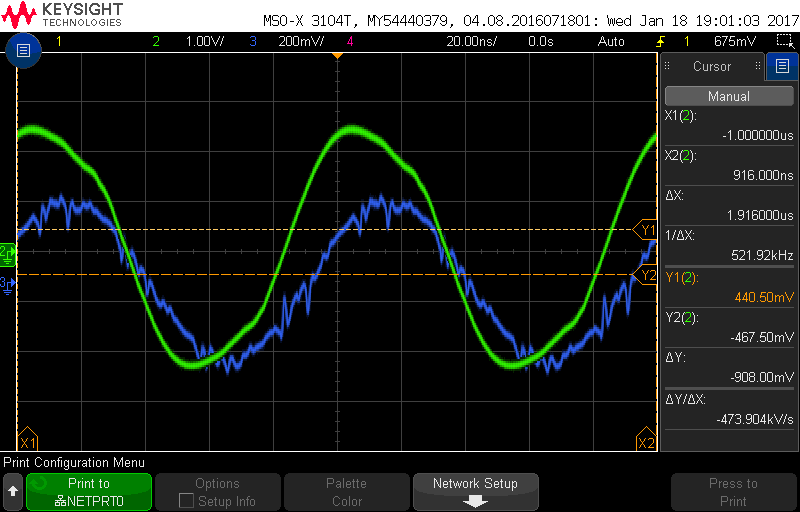
Wszystkie pomiary wykonywane były dla stałej częstotliwości próbkowania 40 MHz. Podane wartości amplitud (A) uwzględniają 50 Ω impedancję wyjściową generatora oraz impedancję wejściową przetwornika.

Oznaczenia kanałów:

* CH2 – sygnał wyjściowy modułu przetwornika DAC
* CH3 – napięcie na wejściu przetwornika ADC (Rys 4 – kondensator C7)



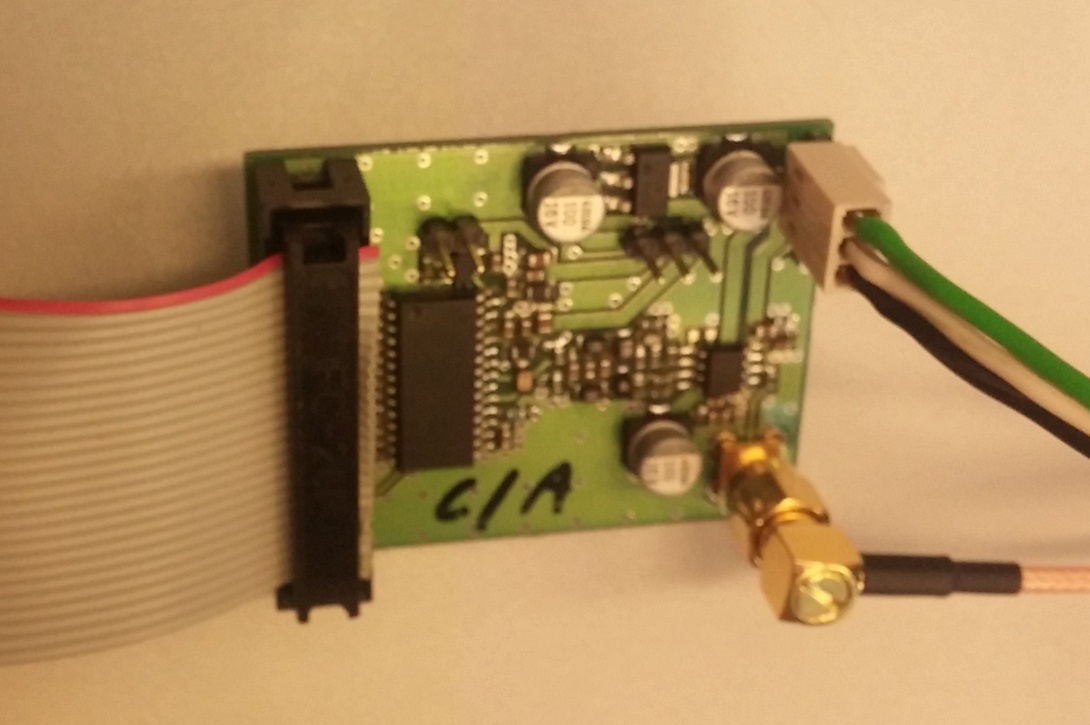
* Rys 9 Sygnał wejściowy: f = 1 MHz, A = 1,5 Vpp



Rys Sygnał wejściowy: f = 10 MHz, A = 1,5 Vpp

Szpilki widoczne w sygnale na wejściu przetwornika są spowodowane indukowaniem się napięcia w pętli sondy oscyloskopowej. Ich źródłem jest tor sygnału zegarowego dla badanych przetworników. Użycie sprężynki uziemiającej zamiast przewodu masowego z końcówką krokodylkową znacznie zredukowało obserwowane zakłócenia, ale wciąż są one wyraźne. Zakłócenia nie wpływały jednak w sposób znaczący na wartości próbek, ponieważ zastosowany przetwornik posiada wejście różnicowe.

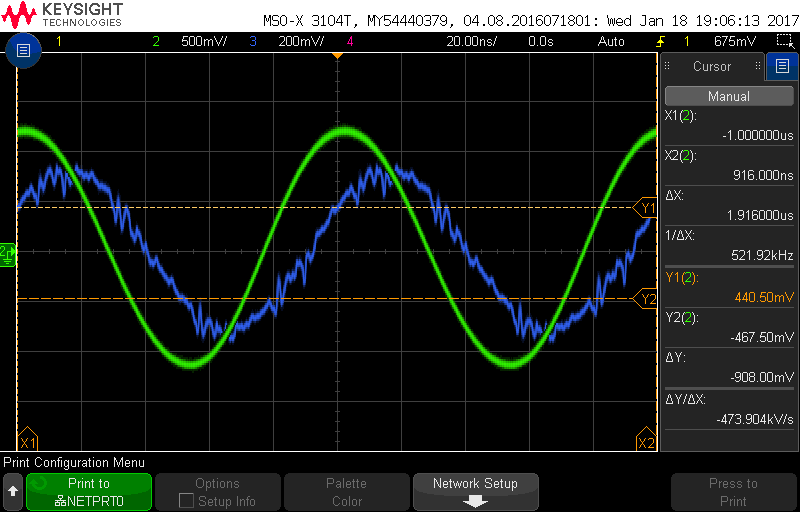
Niepożądane zniekształcenie amplitudy (Rys 10) obserwowane było dla częstotliwości wyższych niż 8 MHz. Aby wykluczyć błędne działanie toru analogowego w module przetwornika ADC zdecydowano się na równoległy pomiar sondą oscyloskopową napięcia na wyjściu toru (na wejściu przetwornika). Na Rys 10 można zauważyć, że oprócz spadku amplitudy (porównując z sygnałem 1 MHz - Rys 9) oraz zakłóceniami z toru cyfrowego sygnał wejściowy przetwornika nie posiada obserwowanego zniekształcenia.



Rys 11 Przetwornik DAC użyty początkowo w pomiarach

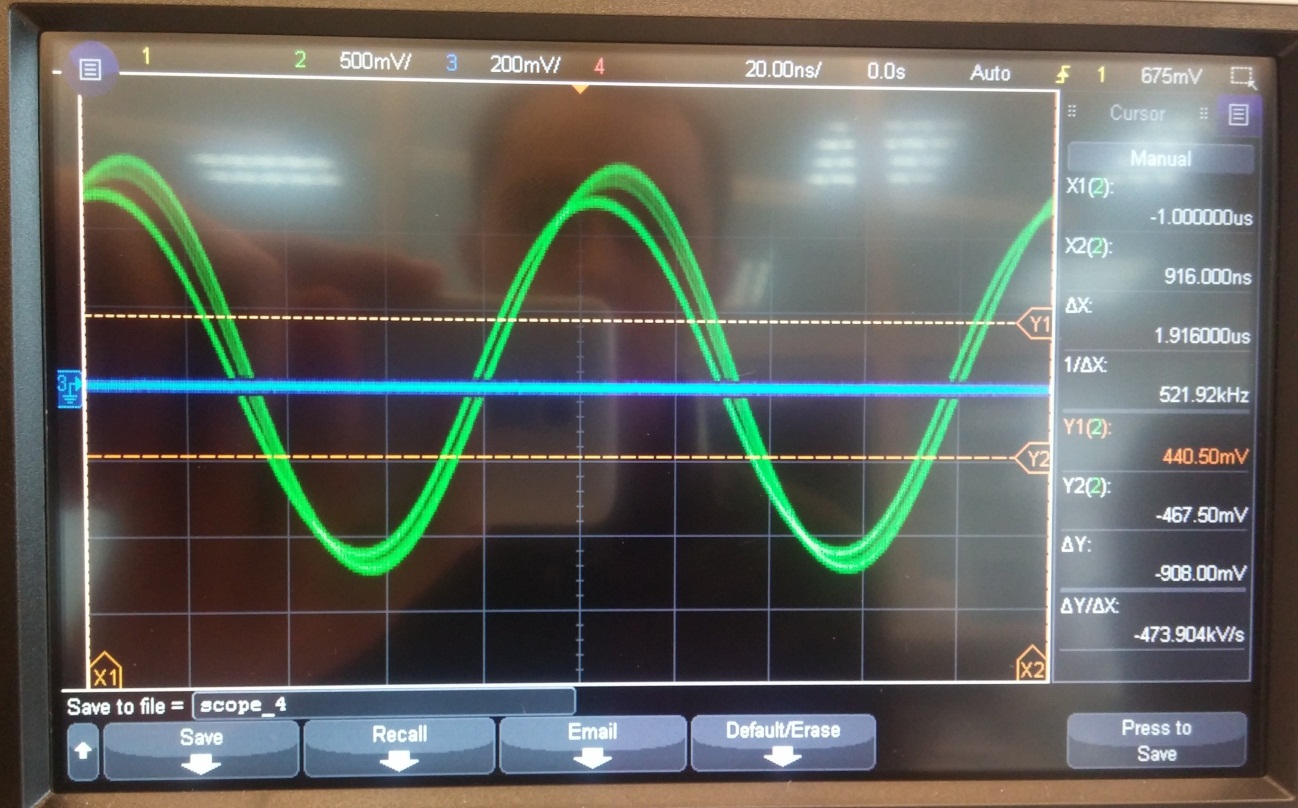
Zdecydowano się na zamianę modułu DAC z wersji przedstawionej na Rys 11, na płytkę z charakterystyczną pomarańczową soldermaską (niestety nie odczytano nazw układów przetwornikach na użytych płytkach).

Zastosowanie innego modułu pomogło, tzn. w sygnale wyjściowym nie zaobserwowano wyraźnych zniekształceń. Zrzut ekranu z tego pomiaru jest przedstawiony na Rys 12.



Rys Sygnał wejściowy: f = 10 MHz, A = 1,5 Vpp – inna moduł DAC

Dodatkowym testem było sprawdzenie kształtu sygnału wyjściowego dla częstotliwości nieharmonicznej do częstotliwości próbkowania. Zastosowano częstotliwość 10,5 MHz. Otrzymany przebieg przedstawiono na Rys 13



Rys Sygnał wejściowy: f = 10,5 MHz, A = 1,5 Vpp

Jitter sygnału wynika z niewielkiej ilości próbek na okres sygnału. Prawo Shannona mówi, że możliwe jest dokładne odtworzenie sygnału jeśli próbkujemy z częstotliwością co najmniej 2x większą niż najwyższa częstotliwość występująca w sygnale. Ze względu na skończoną stromość zboczy pasm filtrów zastosowanych w układzie widmo lustrzane nakłada się na sygnał użyteczny tworząc tzw. dudnienie.

# Podsumowanie

Poprzez realizację projektu przetwornika zaznajomiono się z kilkoma układami filtrów aktywnych. Projekt pozwolił na utrwalenie zasad tworzenia symulacji układów elektronicznych. Dodatkowo można było rozwinąć umiejętności tworzenia płytek PCB. Same pomiary umożliwiły zapoznanie się z nowym sprzętem laboratoryjnym oraz pokazały zagadnienia teoretyczne związane z próbkowaniem sygnałów na konkretnym przykładzie.